

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-26981

(43)公開日 平成9年(1997)1月28日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
G 06 F 17/50			G 06 F 15/60	6 7 2 D
G 01 R 31/28			11/22	3 1 0 B
G 06 F 11/22	3 1 0		G 01 R 31/28	F
			G 06 F 15/60	6 7 0

審査請求 未請求 請求項の数13 O L (全 15 頁)

(21)出願番号 特願平7-174866	(71)出願人 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22)出願日 平成7年(1995)7月11日	(72)発明者 丸山 大輔 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
	(74)代理人 弁理士 長谷川 文廣 (外2名)

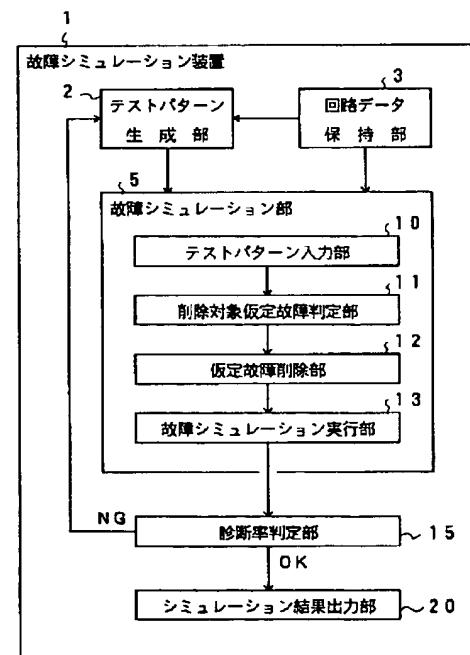
(54)【発明の名称】回路の故障シミュレーション方法および故障シミュレーション装置

(57)【要約】

【課題】集積回路装置のテストパターンの検証を行う故障シミュレーションを高速に行う方法および故障シミュレーション装置に関し、重複する故障シミュレーションをなくし、高速に行うことを目的とする。

【解決手段】回路データに基づいて回路故障を検出するためのテストパターンを生成するテストパターン生成手段と、テストパターンにより故障シミュレーションをする時、テストパターンに付随する検出可能な故障箇所の仮定故障について故障シミュレーションにおいて不要とする箇所を求める削除対象仮定故障判定部と、該仮定故障を削除する仮定故障削除部とを備え、削除できる仮定故障を求め、該仮定故障を削除して故障シミュレーションを行う構成をもつ。

本発明の基本構成



REST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 回路データに基づいて回路故障を検出するためのテストパターンを生成するテストパターン生成手段と、テストパターンにより故障シミュレーションをする時、該テストパターンに付随する検出可能な故障箇所の仮定故障について故障シミュレーションにおいて不要とする箇所を求める削除対象仮定故障判定部と、該仮定故障を削除する仮定故障削除部とを備え、削除できる仮定故障を求め、該仮定故障を削除して故障シミュレーションを行うことを特徴とする回路の故障シミュレーション方法。

【請求項2】 該削除対象仮定故障判定部は、組合せ回路以外の回路を抽出して仮定故障削除対象回路とし、仮定故障削除部は該回路の経路上の仮定故障を削除することを特徴とする請求項1に記載の回路の故障シミュレーション方法。

【請求項3】 イベントの伝播抑制部を備え、組合せ回路以外の回路へのイベントの伝播を抑制することを特徴とする請求項2に記載の回路の故障シミュレーション方法。

【請求項4】 削除対象仮定故障判定部は、スキャン系回路を抽出し、スキャン系回路以外の回路を仮定故障削除対象回路とし、仮定故障削除部はスキャン系回路以外の回路の仮定故障を削除することを特徴とする請求項1に記載の回路の故障シミュレーション方法。

【請求項5】 イベントの伝播抑制部を備え、イベント抑制手段はスキャン系回路以外の回路へのイベントの伝播を抑制するイベントの伝播抑制手段を備え、スキャン系回路以外の回路へのイベントの伝播を抑制することを特徴とする請求項4に記載の回路の故障シミュレーション方法。

【請求項6】 削除対象仮定故障判定部は、出力側からのバックトレースにより出力点毎に入力点からの伝播経路の集合を求め、複数の組合せ回路において部分的に共通なテストパターンの有無を調べ、仮定故障削除部は部分的に共通なテストパターンにおける1つを除いた残りのテストパターンに対して共通部分を伝播する組合せ回路の故障を削除することを特徴とする請求項1に記載の回路の故障シミュレーション方法。

【請求項7】 削除対象仮定故障判定部は、異なるテストパターン間で入力パターンの設定値が等しい入力点を求める、その入力点からフォワードトレースにより探索経路を求める、仮定故障削除部は異なるテストパターンの1つを除いて、テストパターンの共通部分が伝播する経路の仮定故障を削除することを特徴とする請求項1に記載の回路の故障シミュレーション方法。

【請求項8】 削除対象仮定故障判定部は、入力ポイントに仮定される故障もしくは記憶素子の出力ポイントに仮定される故障もしくは差異収斂の根元からフォワードトレースして各経路で最初に現れる故障を代表故障と判断する手段、および代表故障の仮定される経路からフォワードトレースして出力ポイントもしくは代表故障の仮定される経路に達するまでの経路上の仮定故障を從属故障とする手段を備え、該仮定故障削除部は從属故障の仮定故障を削除するものであることを特徴とする請求項1もしくは1.2に記載の回路の故障シミュレーション装置。

し、代表故障の仮定される経路からフォワードトレースして出力ポイントもしくは代表故障の仮定される経路に達するまでの経路上の仮定故障を從属故障とし、從属故障の仮定故障を削除することを特徴とする請求項1に記載の回路の故障シミュレーション方法。

【請求項9】 回路パターンの変更された回路に対して変更前のテストパターンにより正常値シミュレーションを行い、削除対象仮定故障判定部は、回路の変更前と出力の異なる出力点を求める、該出力点よりバックトレースを行い、バックトレースした経路上のみの仮定故障を未検出することを特徴とする請求項1に記載の回路の故障シミュレーション方法。

【請求項10】 バックトレースした経路以外の経路にはイベントの伝播を抑制するイベントの伝播抑制部を備えることを特徴とする請求項9に記載の回路の故障シミュレーション方法。

【請求項11】 回路データに基づいて回路故障を検出するためのテストパターンを生成するテストパターン生成手段と、テストパターンにより故障シミュレーションをする時、該テストパターンに付随する検出可能な故障箇所の仮定故障について故障シミュレーションにおいて不要とする箇所を求める削除対象仮定故障判定部と、該仮定故障を削除する仮定故障削除部とを備えることを特徴とする回路の故障シミュレーション装置。

【請求項12】 仮定故障を削除した回路に対するイベントの伝播を抑制する手段を備えることを特徴とする請求項1.1に記載の回路の故障シミュレーション装置。

【請求項13】 入力ポイントに仮定される故障もしくは記憶素子の出力ポイントに仮定される故障もしくは差異収斂の根元からフォワードトレースして各経路で最初に現れる故障を代表故障と判断する手段、および代表故障の仮定される経路からフォワードトレースして出力ポイントもしくは代表故障の仮定される経路に達するまでの経路上の仮定故障を從属故障とする手段を備え、該仮定故障削除部は從属故障の仮定故障を削除するものであることを特徴とする請求項1.1もしくは1.2に記載の回路の故障シミュレーション装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】 本発明は、集積回路装置のテストパターンの検証を行う故障シミュレーションを高速に行う回路の故障シミュレーション方法および故障シミュレーション装置に関する。

【0002】 集積回路装置の大規模化、複雑化にともない集積回路装置の故障を検出するテストパターンの信頼性の向上が要求されている。テストパターンの有効性の検証は故障シミュレーションによって行われるが、集積回路装置の大規模化と複雑化にともない、故障シミュレーションの実行時間も大幅に増大している。そのため、故障シミュレーションを高速に行うことのできる故障シ

ミュレーション装置もしくは故障シミュレーション方法の開発が必要とされている。

【0003】

【従来の技術】従来の集積回路装置（以後，LSIと称する）の故障シミュレーションは，LSIの全ての論理要素（論理回路素子，フリップフロップ回路，ラッチ回路等）間の配線（以後NETと称する）上において，「1」，「0」縮退故障を仮定して故障シミュレーションを行っていた。

【0004】図19により従来の故障シミュレーションについて説明する。図19において，300はテスト対象回路であって，故障シミュレーションの対象回路である。

【0005】G1, G2, G3, G4, G5, G6, G9はゲート回路である。F1はフリップフロップ回路もしくはラッチ回路である。PI1, PI2は入力ピンである。

【0006】PO1, PO2, PO3は出力ピンである。A, B, C, D, E, F, G, H, I, JはNETであって，それぞれ仮定故障をセットされるものである（NET Aの仮定故障は仮定故障A等のように仮定したNET名を故障名とする）。

【0007】PI1, PI2に一連のテストパターン（T1, T2, …）を入力する。従来の故障シミュレーションは，生成されたテストパターンT1に対して，例えば，テスト対象回路300に故障がない場合と故障Aを仮定した場合とで出力PO1, PO2, PO3の出力パターンを比較する。そして，故障Aがある場合とない場合とで出力の異なる出力ピンを求め，故障がない場合の出力値を期待値として保持する。同様に，故障A, 故障B等全てNETでの故障を仮定し，テストパターン1で検出できる故障をシミュレーションする。さらに，他のテストパターンT2について，同様の故障シミュレーションを行う。

【0008】

【発明が解決しようとする課題】通常，テストパターンはLSIを構成する回路の一部の故障検出対象回路について生成されているので，LSIの全NETにわたって故障シミュレーションを行っても，即ち，テストパターンの故障検出対象外の回路に対して故障を仮定しても，その部分では故障が検出される可能性は低いものとなる。そのような故障検出の可能性の低いケースは次のようなものである。

【0009】① 分離された組み合せ回路において，入力パターンが既に与えられたパターンのいずれかと等しくて重複するとき，分離された回路の動作は既に与えられたパターンに対する動作と等しいため，LSIの全NETにわたって故障シミュレーションを行っても，その回路においては既に同じ入力パターンで故障シミュレーションがなされており，新たな故障が検出されることは

ない。

【0010】② また，組み合せ回路の故障シミュレーションにおいて，いくつかのピンへの入力パターンが既に検証したパターンにおけるものと部分的に同じ場合，その入力ピンから出力ピンにいたる経路での故障を仮定してシミュレーションを行っても，そのパターンにより新たな故障が検出される可能性は低い。そのため，そのような重複したパターンによる故障シミュレーションは実行時間を増大をさせるだけであった。

【0011】③ また，あるテストパターンにおいて，NETに仮定される故障が出力ピンで観測され，検出可能であるとき，故障が検出されたNETから故障が観測される全ての出力ピンまでの経路のNETについて，伝播した故障信号と同種の縮退故障を仮定し，故障シミュレーションを行っても，それは検出可能な故障についての故障シミュレーションを行ったに過ぎないものである。この点を考慮すると，テストパターン生成（以後ATGと称する）が容易になり，故障シミュレーションも高速化できるが，従来はそのようなことは考慮されていない。

【0012】④ また，論理変更がなされたLSIにおいて，変更前のテストパターン（入力パターン）を流用して，故障シミュレーションを行うことにより，論理変更による影響を受けない回路については変更前の診断率と同等のものを得ることができる。そのため，従来は，変更前のテストパターンを流用して故障シミュレーションを行い，変更前のテストパターンで検出できなかった故障に対して，新たなテストパターンを生成し，故障シミュレーションを実行するという方法を用いた。しかし，テストパターンを流用する場合には，新たなテストパターンの発生に費やす時間の短縮にはなるが，故障シミュレーション自体に費やされる時間テストパターンを流用しない場合と同じである。新たなテストパターンでは，そのテストパターンで故障伝播する経路のみについて故障シミュレーションをすれば良いが，従来はこのような点は考慮されていなかった。

【0013】本発明は，故障シミュレーションにおいて，重複する故障シミュレーションをなくし，高速に故障シミュレーションを行うことを目的とする。

【0014】

【課題を解決するための手段】本発明は，回路データに基づいて回路故障を検出するためのテストパターンを生成するテストパターン生成手段と，テストパターンにより故障シミュレーションをする時，該テストパターンに付随する検出可能な故障箇所の仮定故障について故障シミュレーションにおいて不要とする箇所を求める削除対象仮定故障判定部と，該仮定故障を削除する仮定故障削除部とを備え，削除できる仮定故障を求め，該仮定故障を削除して故障シミュレーションを行う構成をもつ。

【0015】図1は本発明の基本構成を示す。図1にお

いて、1は故障シミュレーション装置である。

【0016】2はテストパターン生成部であって、与えられた回路に対するテストパターンを生成するものである。3は回路データ保持部であって、テスト対象の回路データを保持するものである。

【0017】5は故障シミュレーション部であって、テストパターン生成部2で生成されたテストパターンに対して故障シミュレーションを行うものである。10はテストパターン入力部であって、テストパターンを入力するものである。

【0018】11は削除対象仮定故障判定部であって、故障シミュレーションにおいて削除できる仮定故障を求めるものである。12は仮定故障削除部であって、仮定故障を削除するものである。

【0019】13は故障シミュレーション実行部であって、故障シミュレーションを実行するものである。15は診断率判定部であって、故障診断率を求めるものである。

【0020】20はシミュレーション結果出力部である。

【0021】

【作用】図1の本発明の基本構成の動作を説明する。テストパターン生成部2は回路データ保持部3の回路データに基づいて、テストパターンを生成する。

【0022】故障シミュレーション部5において、テストパターン入力部10はテストパターン生成部2の生成したテストパターンを入力する。削除対象仮定故障判定部11は、削除できる仮定故障を判定する。仮定故障削除部12は削除対象とされた仮定故障を削除する。

【0023】故障シミュレーション実行部13は、入力されたテストパターンにより、回路の各ネットに故障を順次仮定して故障シミュレーションを行う。その際、仮定故障を削除した回路に対しては故障を仮定せずに正常回路のみとして故障シミュレーションを行う。

【0024】そして、故障を仮定した場合の出力値と故障を仮定しない場合の出力値を比較し、生成されたテストパターンの有効性および、その期待値を求める。診断率判定部15は、このようにして得られたテストパターンに対して必要とする診断率が得られたかを判定し、必要な診断率が得られるまでテストパターンの生成と故障シミュレーションを繰り返し、必要な診断率が得られると診断率判定部15はテストパターン、出力の期待値、検出済故障、診断率等をファイル等に出力する。

【0025】本発明によれば、テストパターンにおいて故障を検出できる可能性の低い仮定故障は削除して故障シミュレーションを行うので、故障シミュレーションを高速に行うことができる。

【0026】

【実施例】図2は本発明の装置構成実施例である。図2において、31はCPUである。

【0027】32はメモリである。33は回路データ保持部であって、メモリ32に保持される回路データである。

【0028】34はテストパターン生成部であって、メモリ32に保持されるテストパターン生成のアルゴリズムである（例えば、D-アルゴリズム）。35は入出力制御部であって、メモリ32に保持されている入出力制御プログラムである。

【0029】36は故障シミュレーション部であって、メモリ32に保持されている故障シミュレーション実行手段66である。40は削除対象仮定故障判定部であって、メモリ32に保持されているものあり、削除できる仮定故障を判定するプログラムである。

【0030】41は仮定故障削除部であって、メモリ32に保持されている仮定故障の削除プログラムである。42はイベントの伝播抑制部であって、メモリ32に保持されているものあり、故障シミュレーションにおいて故障検出を必要としない回路にイベント（情報）の伝播がないようにするプログラムである。

【0031】43は代表故障判定部であって、メモリ32に保持されているものあり、回路の代表故障（後述する）を求めるプログラムである。44は故障シミュレーション実行部であって、メモリ32に保持されているものあり、故障シミュレーションを実行するプログラムである。

【0032】45はフラグ保持部であって、故障シミュレーションの実行において必要なフラグを保持するものである。50は診断データ保持部であって、故障シミュレーションの結果を保持するものである。

【0033】51はテストパターンであって、テストパターン生成部34で作成され、故障シミュレーションを行うテストパターンである。52は期待値であって、テストパターン51の期待値である。

【0034】53は検出済故障であって、テストパターン51により検出された故障である。54は診断率であって、テストパターン51により故障を検出できる診断率である。

【0035】60は入出力装置とのインターフェースである。61はデータ保存装置であって、磁気ディスク、磁気テープ等であり、回路データ62、テストパターン生成手段64、故障シミュレーション実行手段66、診断データファイル（診断データ保持部50のデータを保持するファイル）68を保持するものである。

【0036】71は入力装置であって、キーボード、マウス等の入力装置である。72はプリンタである。73はディスプレイである。

【0037】図3はフラグ保持部とテストパターン保持部のデータの構成の実施例である。図3(a)はシミュレーション実行において使用するフラグの構成である。仮定故障毎に、故障が検出済みフラグ、仮定故障フラグ、

代表故障フラグ、イベントフラグをネット(NET)毎に備える。

【0038】検出済みフラグは、故障が検出済みであることを示すフラグである。仮定故障フラグは、例えば故障を仮定したときにオン、故障を解除した時にオフとするものである。

【0039】代表故障フラグは、例えば代表故障であると判定された時にオン、代表故障でない時にオフとするフラグである。イベント伝播フラグはイベントの伝播を抑制するときに例えばオン、イベントを伝播させる時にオフとするフラグである。

【0040】なお、図3(a)では処理内容毎にフラグを設定する場合であるが、処理内容で区別できる場合には1つのフラグで複数の処理を定める共通フラグとともに可能である。

【0041】図3(b)は診断データの構成の実施例である。診断データ保持部は、故障診断率、およびテストパターンとそのテストパターンで検出できる故障、その期待値を保持する。

【0042】図4は本発明の実施例1である(請求項1～3の実施例)。図4において、91はLSIである。

【0043】92はスキャンフリップフロップ(SCAN FF)であって、組み合わせ回路(ATG対象回路)93の内部ゲートにテストデータを設定するものである(スキャン入力端子SI1)。

【0044】93は組み合わせ回路のみの回路であって、ATG対象回路である。94はスキャンフリップフロップ(SCAN FF)であって、組み合わせ回路の内部ゲートの出力値を読み出すものである(SO1はスキャン出力端子である)。

【0045】95はスキャンフリップフロップ(SCAN FF)であって、記憶素子を含む回路(ATG対象外回路)96の内部ゲートにテストデータを設定するものである(SI2はスキャン入力端子である)。

【0046】96は記憶素子を含む回路(ATG対象外回路)であって、順序回路、RAMを含む回路であり、ATG対象外回路である。97はスキャンフリップフロップ(SCAN FF)であって、順序回路・RAMを含む回路96の内部ゲートの出力値を読み出すものである(SO2はスキャン出力端子である)。

【0047】98はスキャンフリップフロップ(SCAN FF)であって、組み合わせ回路の内部ゲートの出力値を読み出すものである(SO3はスキャン出力端子である)。99はゲートである。

【0048】AはNETAの仮定故障である。PI1は入力ピンであって、ATG対象回路93、ATG対象外回路96に接続されるものである。

【0049】PI2は入力ピンであって、ATG対象外回路96に接続されるものである。PO1は出力ピンである。図5の回路において、入力ピンPI1、PI2、

入力ピンSI1、SI2と出力ピンPO1、出力ピンSO1、SO2、SO3との間の回路は、順序回路、RAMを含むATG対象外回路96と組み合わせ回路のみのATG対象回路93とに分けられる。組み合わせ回路93を対象として作成されたテストパターンはATG対象外回路96では故障を検出する可能性は小さいので、Aの仮定故障は削除し、さらに、Aより先へのイベントの伝播は行わないようとする。

【0050】次に、図4のATG対象回路93のような分離された組み合わせ回路93を分離する方法について、図5により説明する。図5は実施例1のATG対象回路とATG対象外回路に分離する方法のフローチャートである。

【0051】S1 1つの出力ポイントを選択する。
S2 出力ポイントから入力ポイントへ至るバケットレースの経路を1つ選択する。

【0052】S3、S4 経路上に記憶素子(RAM)、順序回路が存在するか判定する。存在すればS5に進み、存在しなければS6に進む。

S5 経路上に記憶素子(RAM)、順序回路が存在すれば、経路上のNETの仮定故障のフラグをオフとする。

【0053】S6 経路上に記憶素子(RAM)、順序回路がなければ、経路上のNETの仮定故障のフラグをオンとする。

S7 全てのバケットレース経路を選択したか判定する。全て選択していないければS2以降の処理を繰り返す。全て選択しているればS8に進む。

【0054】S8 全ての出力ポイントについてバケットレースしたか判定する。全ての出力ポイントについてトレースしていないければS1以降の処理を繰り返す。全て選択しているればS9に進む。

【0055】S9 仮定故障フラグをオフとした未検出の仮定故障を削除して、故障時シミュレーションを行う。

図6は本発明の実施例1の故障シミュレーションの実施例のフローチャートである。

【0056】S1 ATG対象外回路の入力側の入口のネットにイベント伝播オフのフラグをセットする。

S2 故障シミュレーションを実行する。

【0057】S3、S4 イベントの伝播したネットにイベント伝播フラグはセット(オン)されているか判定する。セットされていればS5に進み、セットされていないければオフとする。

【0058】S5 ネットにイベント伝播フラグがセットされているのでイベントの伝播を停止する。

S6 ネットにイベント伝播フラグがセットされていない(オフ)なのでイベントの伝播を停止する。

【0059】S7、S8 故障が未検出の活性化されているネットについて全て故障シミュレーションをしたか

判定する。全て行っていなければS 1以降の処理を繰り返す。全て行ていれば処理を終了する。

【0060】図7は本発明の実施例2である（請求項4, 5の実施例）。図7において、91はLSIである。

【0061】105は内部ロジック回路（logic）であって、スキャン系以外の回路である。106はゲートである。Aはゲート106の入力側のネットの仮定故障である。

【0062】110はスキャンチェイン（SCAN CHAIN）であって、スキャン系回路である。111, 112, 113, 114, 115, 116はスキャンフリップフロップ（SCAN FF）である。

【0063】TDI1, PI1, PI2, PI3はLSI91の入力ピンである。そのうち、TDI1はスキャンチェイン110の入力ピンである。TDO1, PO1, PO2, PO3はLSI91の出力ピンである。そのうち、TDO1はスキャンチェイン110の出力ピンである。

【0064】図7の回路では、TDI1からTDO1までのスキャンチェイン回路110をスキャン系回路とし、LSIの内部ロジック回路91をスキャン系以外の回路として分離することができる。そして、スキャン系回路110を対象して生成されたテストパターンに対してはスキャン系以外の回路（内部ロジック105）の回路NETでは仮定故障は削除し、正常回路のみとして故障シミュレーションをする。さらに、図示の仮定故障Aのように内部ロジック回路105の入口のネットから先にはイベントの伝播をさせないようにしても良い。

【0065】スキャンチェインを特定する方法は、正常値シミュレーションで、スキャンチェインシフトに必要な入力ピンへの値の設定を行い、TDI1以外の入力ピンに不定値「X」を、TDI1に定値1あるいは0を入力しながらスキャンシフトを行う。

【0066】そして、TDO1にイベントが伝播した時点で、TDO1からネットの状態が「X」でない経路をTDI1までバットレスする。このとき、TDO1～TDI1間でトレースされた経路がXでない定値1もしくは0を与えたTDI1の値がTDO1まで伝播したスキャンチェインと特定される。

【0067】図8は本発明の実施例2のスキャン系回路を分離するためのフローチャートである。

S1 スキャンシフトに必要な入力ピン（TDO1）に値を設定する。

【0068】S2 TDI1に定値、TDI1以外の入力ピン（PI1, PI2, PI3）に不定値Xを設定し、スキャンシフトの正常値シミュレーションを行う。

S3, S4 スキャン系回路の出力ピン（TDO1）にイベントが伝播したか判断する。スキャン系回路であればS5に進み、スキャン系回路でなければS2以降の

処理を繰り返す。

【0069】S5 スキャン系回路と推定できるので、TDO1からTDI1まで、NETの状態値が不定値Xでない経路をバットレスする。

S6 バットレスする経路をスキャンチェインと特定する。

【0070】S7 スキャンチェイン以外のNETの仮定故障フラグをオフとし、仮定故障を削除する。削除されたNETは正常回路のみとして故障シミュレーションを行う。さらに、スキャンチェイン以外の回路のネットのイベント伝播フラグをオフとし、イベントの伝播を抑制するようにしても良い。

【0071】図9は本発明の実施例3である（請求項6の実施例）。図9において、91はLSIである。

【0072】93'は組み合わせ回路である。121は組み合わせ回路Aである。122は組み合わせ回路Bである。

【0073】123は組み合わせ回路Cである。PI1, PI2, PI3, PI4, PI5, PI6, PI7は、入力ピンである。そのうち、PI1, PI2, PI3は組み合わせ回路Aの入力となるピンである。PI3, PI4, PI5は組み合わせ回路Bの入力となるピンである。PI5, PI6, PI7は組み合わせ回路Cの入力となるピンである。

【0074】T1, T2はそれぞれテストパターンである。テストパターンT1とT2においてPI3, PI4, PI5に入力されるパターンは共通の入力パターンである。

【0075】PO1は組み合わせ回路A（121）の出力ピンである。PO2は組み合わせ回路B（122）の出力ピンである。PO3は組み合わせ回路C（123）の出力ピンである。

【0076】LSI91をテストパターンT1, T2によりテストする場合、入力ピンPI3, PI4, PI5に入力されるパターンと同じである。従って、組み合わせ回路B（122）の故障検出では、テストパターンT1とテストパターンT2で同じ故障である。そのため、テストパターンT2では、組み合わせ回路B（122）の故障検出はする必要がないので、テストパターン2では仮定故障は削除し、正常値シミュレーションのみを行うようとする。

【0077】図10は実施例3のフローチャートであって、入力ピンと出力ピンの対応を求めるためのフローチャートである。

S1 出力ポイントの1つを選択する。

【0078】S2 選択した出力ポイントからバットレスを行う。

S3 バットレスにより到達した全ての入力ポイントの集合を求める。

S4 バットレスした経路上の仮定故障の集合を求

める。

【0079】S5, S6 全ての出力ポイントを選択したか判断する。全ての出力ポイントを選択していないければS1以降の処理を繰り返す。全ての出力ポイントを選択していれば処理を終了する。

【0080】図11は本発明の実施例3のフローチャートであって、故障シミュレーションの処理である。

S1 入力の1パターンを設定する。

【0081】S2 出力ポイントを1つ選択する。

S3, S3' その出力ポイントについて、(トレースが到達した全ての入力ポイントの集合)に与えられる入力パターンの部分パターンが既に与えられた入力パターンと等しいか比較する。等しければS4に進み、等しくなければS5に進む。

【0082】S4 {トレース経路上の仮定故障の集合}の故障を対象外とする。

S5 後の比較のために入力パターンの部分パターンを追加記憶する(後に、入力されるパターンと比較するために保持しておく)。

【0083】S6 全ての出力ポイントを選択したか判断する。全て選択してあればS7に進み、全て選択してなければS2以降の処理を繰り返す。

S7 1パターンに対する故障注入・イベント伝播・出力値の観測をする。

【0084】S8 出力ポイントを1つ選択する。

S9 {トレース経路上の仮定故障の集合}を復帰する。

S10 全ての出力ポイントを選択したか判断する。全て選択されていなければS8以降の処理を繰り返す。全て選択されていれば処理を終了する。

【0085】図12は本発明の実施例4である(請求項7の実施例)。図12において、91はLSIである。

【0086】93"は組み合わせ回路である。125は組み合わせ回路Aである。126は組み合わせ回路Bである。

【0087】PI1, PI2, PI3, PI4, PI5, PI6, PI7は、入力ピンである。そのうち、PI1, PI2は組み合わせ回路Aの入力となるピンである。PI3, PI4, PI5, PI6, PI7は組み合わせ回路Bの入力となるピンである。

【0088】PO1, PO2, PO3は出力ピンである。PO1, PO2は組み合わせ回路A(125)の出力ピンである。PO2, PO3は組み合わせ回路B(126)の出力ピンである。

【0089】T1, T2はそれぞれテストパターンである。テストパターンT1とT2においてPI1, PI2に入力されるパターンは共通の入力パターンである。テストパターンT1, T2を入力しても、組み合わせ回路Aに対しては共通のパターンであるので、T1により先に故障シミュレーションをしたとすると、T2により新

たな故障が検出される可能性は低い。そのため、T2の故障シミュレーションでは組み合わせ回路B(126)の仮定故障は削除し、正常値シミュレーションのみを行う。

【0090】図13は本発明の実施例4のフローチャートである。

S1 入力パターンを1つ設定する。

S2 現在の入力パターンと既に与えられた入力パターンとを比較し、共通の入力パターンとなる入力ポイントの集合を求める。

【0091】S3 入力ポイントの集合より、1つ入力ポイントを選択する。

S4 その入力ポイントによりフォワードトレース(Forward Trace)を行い、トレース(Trace)経路上の未検出故障を対象外とし、対象外とした故障の集合を生成する。

【0092】S5, S6 全ての入力ポイントを選択したか判断する。全て選択したらS7に進み、全て選択してなければS3以降の処理を繰り返す。

S7 全ての入力ポイントを選択したら、対象外とした故障の集合を削除する。

【0093】S8 1パターンに対する故障注入、イベント伝播、出力値観測を行う。

S9 対象外とした故障の集合の故障を復帰する。

図14は本発明の実施例5の説明図1である(請求項8の実施例)。

【0094】図14において、91はLSIである。G1, G2, G3, G4, G5はゲートである。

【0095】G6, G7, G8, G9, G10はゲートである。F1はスキャン系回路でないフリップフロップ回路(NO SCAN FF)もしくはラッチ(LATCH)である。

【0096】PI1, PI2は入力ピンである。PO1, PO2, PO3は出力ピンである。a0, a1, b0, b1, c0, c1, d1, d2は仮定故障である。

【0097】e0, e1, e2, e3, e4, e5, e6, f0, f1は仮定故障である。本発明では、代表故障、従属故障の概念を導入し、故障シミュレーションの高速化を図るようにした。

【0098】代表故障は、入力ポイントに接続するNET、記憶素子の出力に接続するNET、再収敛の根元から出力方向に現れる故障である。従属故障は、代表故障の仮定されるNETからフォワードトレース(Forward Trace)し、出力ポイントあるいは代表故障の仮定されるNETに到達するまでの経路のNETに仮定される故障で、代表故障値がそのNETでとり得る値と等しい縮退故障である。

【0099】図14の回路の場合、a0, b0, c0, e0, f0が代表故障である。a1は代表故障a0の従属故障の候補のNETである。

【0100】b1, b2は代表故障b0の従属故障の候補のNETである。c1は代表故障c0の従属故障の候補のNETである。d1, d2は代表故障b0, c0の従属故障の候補のNETである。

【0101】e1, e2, e3, e4, e5, e6は従属故障の候補のNETである。f1は代表故障f0の従属故障の候補のNETである。図14において、入力ピンに接続するネットはa0, e0, 順序回路の出力ピンに接続されるNETがf0である。a0に仮定される代表故障が出力ピンPO1で検出されるとき、a0からPO1までの経路において、出力ピンあるいは故障を仮定されたもの以外の代表故障の手前までのNETでは伝播された故障信号と同種の縮退故障(0縮退故障もしくは1縮退故障)が従属故障となり、この場合はa1が代表故障a0の従属故障である。他のPO1で故障が検出される代表故障ではb0に対してb1, b2, d1, d2がc0に対し c1, d1, d2が従属故障となる。e0に仮定される代表故障がPO2で検出されるとき(順序回路がスルー状態), e1, e2, e3が従属故障となり、PO3で検出されるとき, e4, e5, e6が従属故障となる。同様にしてf1がf0の従属故障となる。

【0102】図15により、代表故障と従属故障の関係について説明する。図15において、91はLSIである。

【0103】G1, G2, G3, G4, G5, G6, G7, G8, G9はそれぞれアンドゲートである。PI1, PI2, PI3, PI4, PI5, PI6, PI7は入力ピンである。

【0104】PO1, PO2は出力ピンである。図15において、NET a0に仮定される故障が代表故障であり、出力ピンPO1およびPO2で検出される可能性がある。

【0105】代表故障a0が出力ピンa1, b1, b2上に仮定される3個の故障が従属故障となる。また、故障a0が出力ピンPO2で検出されたときには、NET a1, c1, c2, c3, c4上に仮定される5個の故障が従属故障となる。例えば、a0に0縮退故障を仮定したとき、NET a1, c1, c2, c3, c4, b1, b2の論理値は0である。従って、a0の0縮退故障を検出するテストパターンでa1, c1, c2, c3, c4, b1, b2の0縮退故障を検出することができる(但し、経路上に故障があることは判定できるが故障箇所は特定できない)。そのため、代表故障が検出されたときには、代表故障の従属に対する故障シミュレーションは必要がなくなる。従って、代表故障を検出することによりその従属故障を削除し、故障シミュレーションの高速化を図ることができる。

【0106】そのため、代表故障が検出されたとき、その代表故障の従属故障を削除し、故障シミュレーションの高速化を図るために、代表故障に属する従属故障の

数ができるだけ大きい方が有利である。そのため、テストパターン生成において、故障を伝播させる活性化経路を選択する際には、テストパターン生成の容易さに加え、従属故障を大きくする必要がある。

【0107】従って、図15の場合、テストパターン生成の容易からPO1でa0を検出する経路以外に従属故障の数を大きくするa0をPO2で検出する経路を選択するのが良い。

【0108】図16は本発明の代表故障と従属故障の検出方法のフローチャートである。

S1 入力ポイントに接続するNET, 記憶素子の出力に接続するNETを代表故障の候補NETとする。

【0109】S2 出力ポイントからバットトレースを行い際収斂のチェックを行い、再収斂の根元から最初に分岐するNETを代表故障の候補ネットとする。再収斂は、バットトレースを行ったときに、あるNETが1つの出力ポイントから複数回ト雷斯されたか否かで判断する。複数回トレスされたNETが再収斂の根元である。

【0110】S3 代表故障のNETを1つ選択する。S4, S4' 代表故障の候補NETに故障が仮定されているか、判定する。故障が仮定されていればS5に進み、故障が仮定されていなければS6に進む。

【0111】S5 その故障を代表故障とする。

S6 フォワードトレースを行い、最初に現れる故障を代表故障とする。

S7, S7' 全ての代表故障の候補のNETを選択したか判定する。

【0112】S8 代表故障以外を従属故障として、故障シミュレーションの対象外とする。

図17は本発明の実施例6である(請求項9, 10の実施例)。

【0113】図17において、91はLSIであって、論理変更をしたものである。111, 112, 113, 114, 115はスキャンフリップフロップである。

【0114】PIは入力ピンである。SO1, SO2は出力ピンであって、論理変更に流用された論理変更前のテストパターンにおいて出力パターンと正常値シミュレーションの出力パターンの異なる出力ピン(論理変更の影響を受けた回路の出力ピン)である。

【0115】Aは論理変更を受けないNETである。本実施例では、論理変更により出力に影響を受けた出力ピンについてバットトレースを行い、論理変更を受けた回路を求める。そして、その回路についてのみ故障シミュレーションを行い、論理変更の影響を受けないNET Aより先にはイベントの伝播を行わないようにする。

【0116】図18は本発明の実施例6のフローチャートである。

S1 論理変更前のテストパターンを流用し、正常値シミュレーションを行う。

【0117】S2 テストパターンの期待値と出力ポイントの状態値の異なる出力ポイントの集合を求める。

S3 求まった集合の出力ポイントを1つ選択する。

【0118】S4 出力ポイントからバックトレースを行い、経路上のN E Tに仮定される故障が検出済みならば、未検出にする。

S5, S6 全ての出力ポイントを選択したか判断する。全ての出力ポイントを選択していないければS3以降の処理を繰り返す。全ての出力ポイントを選択したら終了する。

【0119】

【発明の効果】 本発明によれば、テストパターンにおいて故障を検出できる可能性の低い仮定故障は削除して故障シミュレーションを行うので、故障シミュレーションを高速に行なうことができる。そのため、故障シミュレーションの能率を大幅に向かうことができる。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】本発明の装置構成実施例を示す図である。

【図3】本発明のフラグ保持部と診断データ保持部の構成の実施例を示す図である。

【図4】本発明の実施例1を示す図である。

【図5】実施例1のA T G対象回路とA T G対象外回路を分離する方法のフローチャートである。

【図6】実施例1の故障シミュレーションの実行のフローチャートを示す図である。

【図7】本発明の実施例2を示す図である。

【図8】本発明の実施例2のフローチャートを示す図である。

【図9】本発明の実施例3を示す図である。

【図10】本発明の実施例3のフローチャートを示す図である。

【図11】本発明の実施例3のフローチャート（故障シミュレーションの処理）を示す図である。

【図12】本発明の実施例4を示す図である。

【図13】本発明の実施例4のフローチャートを示す図である。

【図14】本発明の実施例5の説明図1である。

【図15】本発明の実施例5の説明図2である。

【図16】本発明の実施例5のフローチャートを示す図である。

【図17】本発明の実施例6を示す図である。

【図18】本発明の実施例6のフローチャートを示す図である。

【図19】従来の故障シミュレーションの説明図である。

【符号の説明】

1：故障シミュレーション装置

2：テストパターン生成部

3：回路データ保持部

5：故障シミュレーション部

10：テストパターン入力部

11：削除対象仮定故障判定部

12：仮定故障削除部

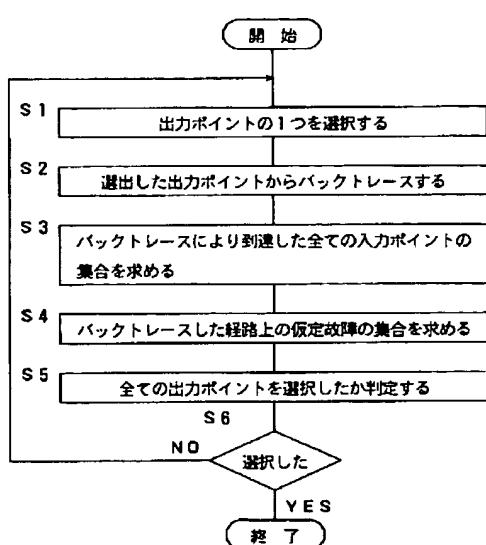
13：故障シミュレーション実行部

15：診断率判定部

20：シミュレーション結果出力部

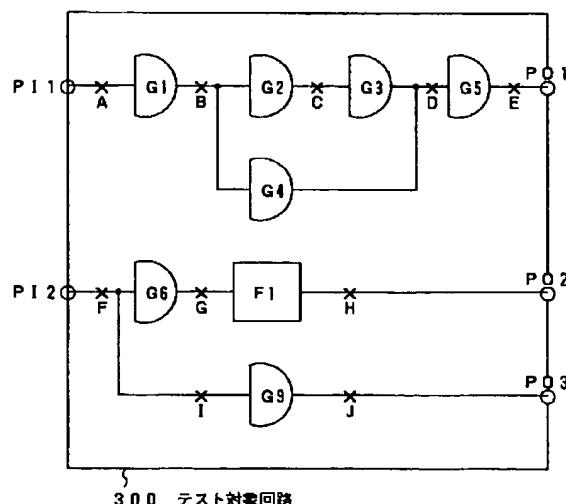
【図10】

本発明の実施例3のフローチャート
(故障シミュレーションの前の処理)



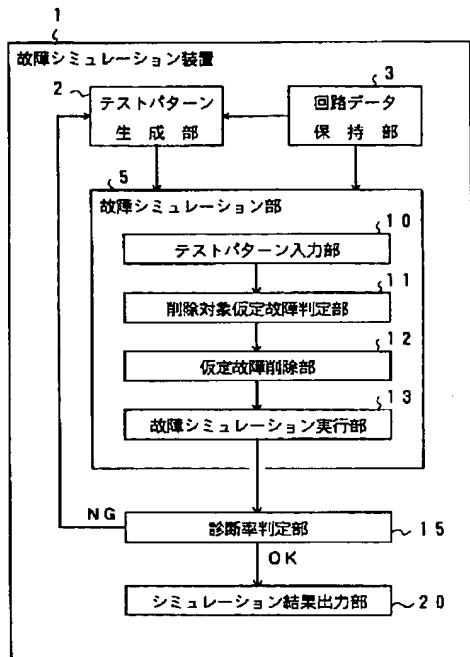
【図19】

従来の故障シミュレーションの説明図



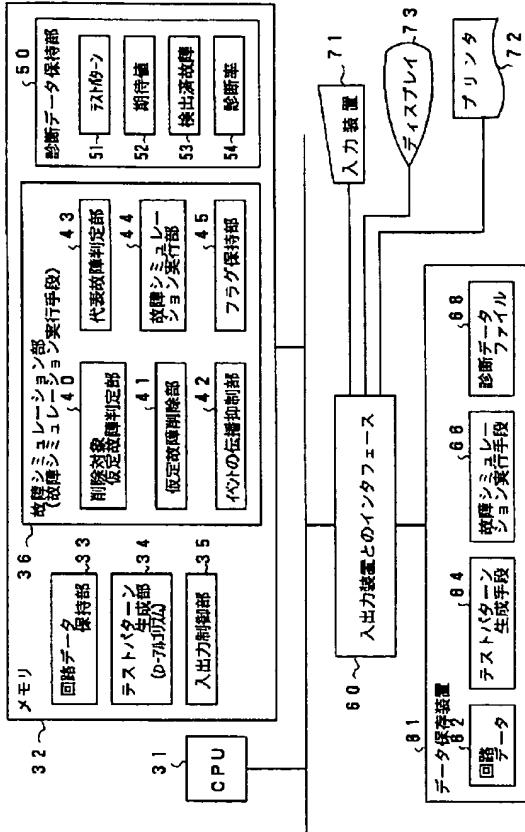
【図1】

本発明の基本構成



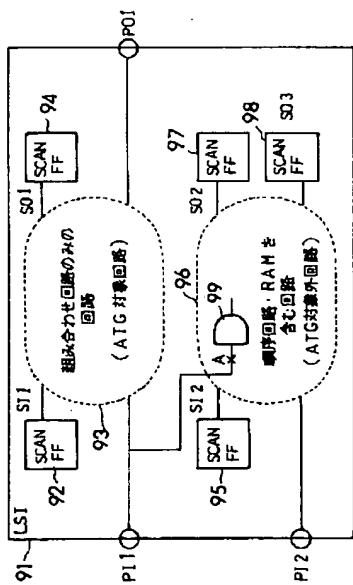
【図2】

本発明の装置構成実施例



【図4】

本発明の実施例1

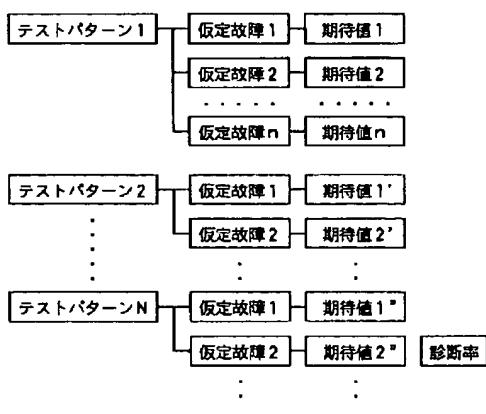


【図3】

本発明のフラグ保持部と診断データの構成

	検出済み フラグ	仮定故障 フラグ	代表故障 フラグ	イベント伝播 フラグ
テスト1	オン	オフ	オフ	オフ
テスト2	オン	オン	オフ	オフ
....

(a) シミュレーション実行において使用するフラグの構成



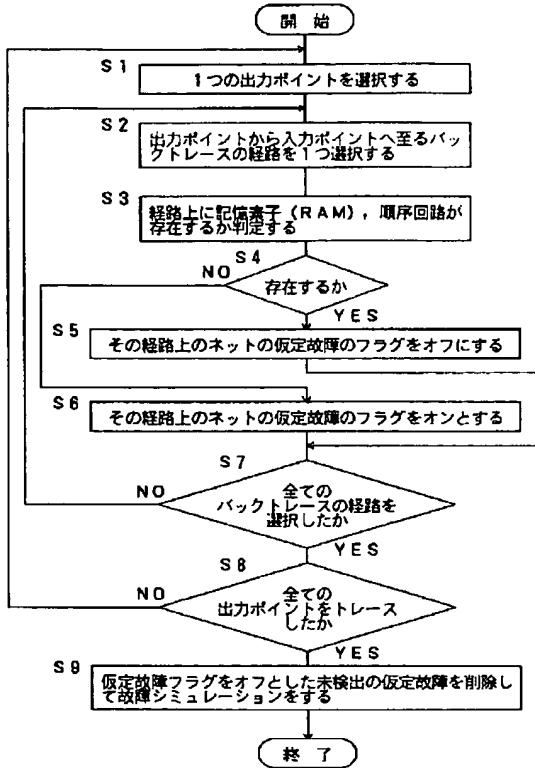
(b) 診断データの構成

【図7】

本発明の実施例 2

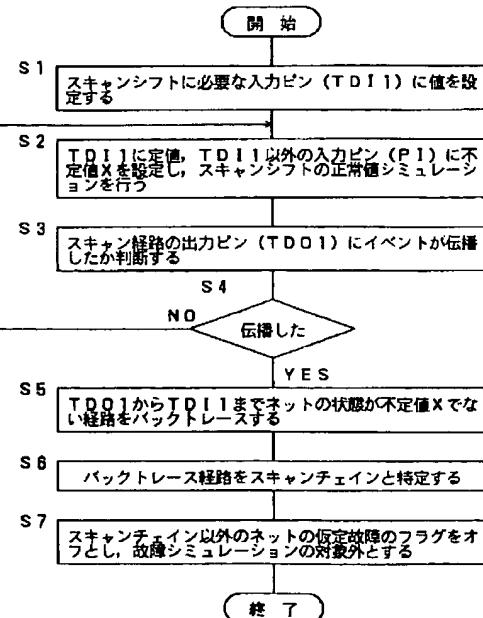
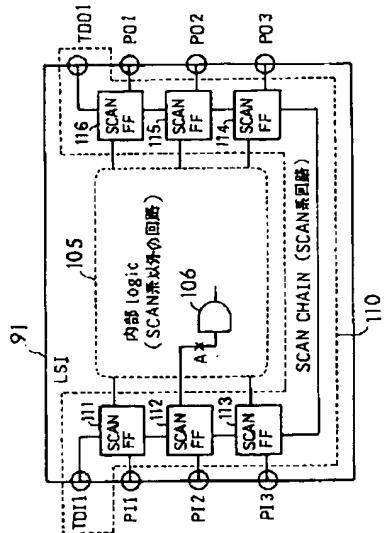
【図5】

実施例1のATG対象回路とATG対象外回路を分離する方法



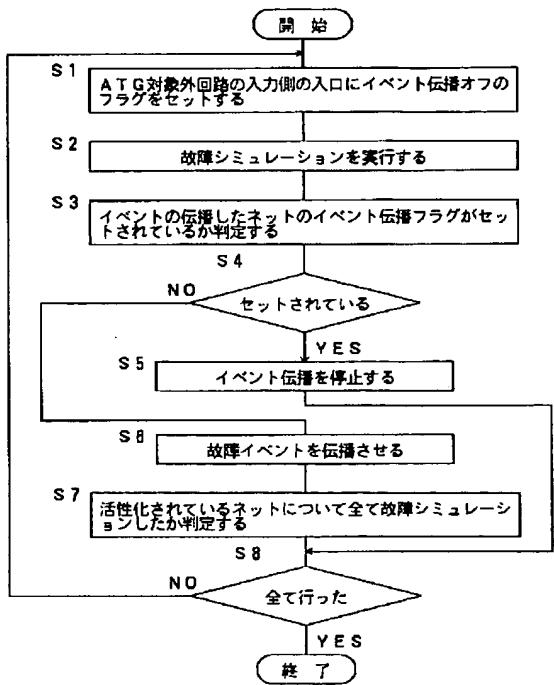
【図8】

本発明の実施例 2 のフローチャート



【図6】

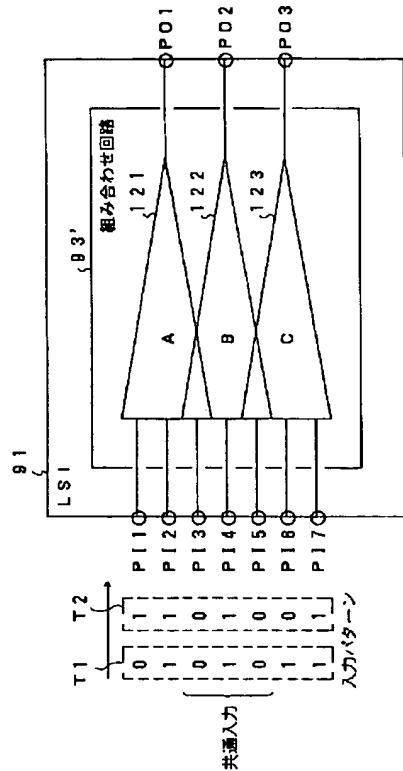
実施例1の故障シミュレーションの実行のフローチャート



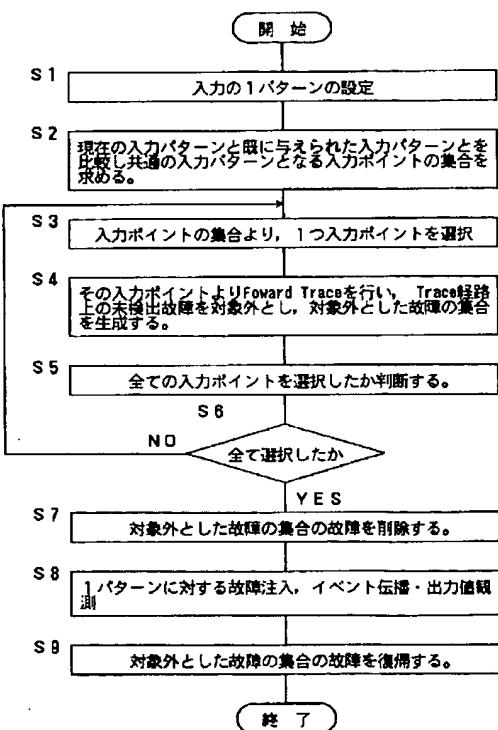
【図13】

【図9】

本発明の実施例3

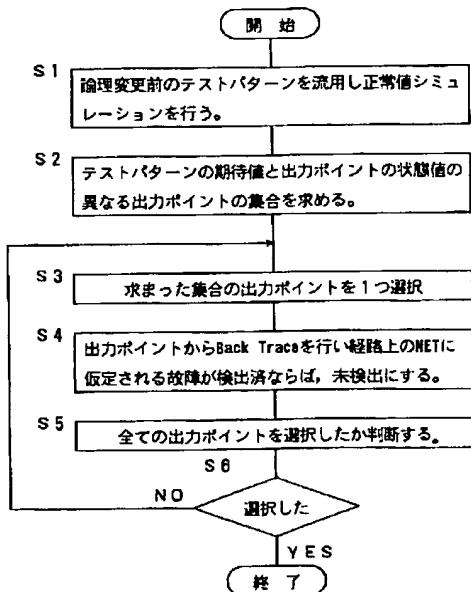


本発明の実施例4のフローチャート



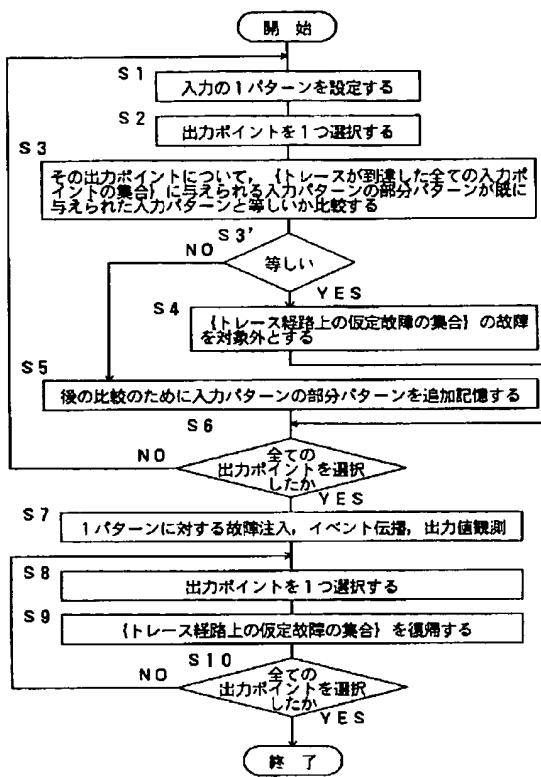
【図18】

本発明の実施例8のフローチャート



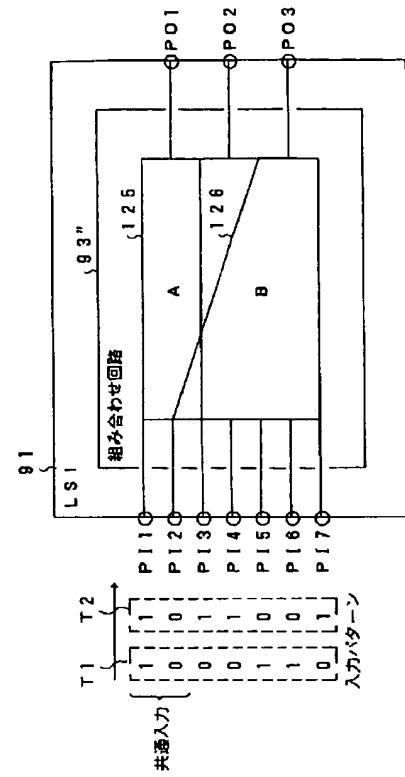
【図11】

本発明の実施例3のフローチャート
(故障シミュレーションの処理)



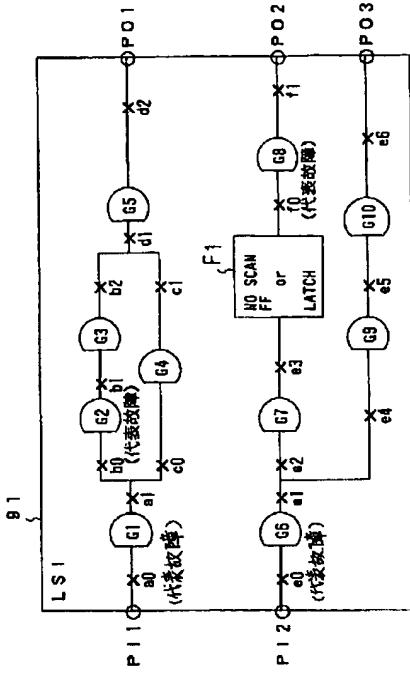
【図12】

本発明の実施例4



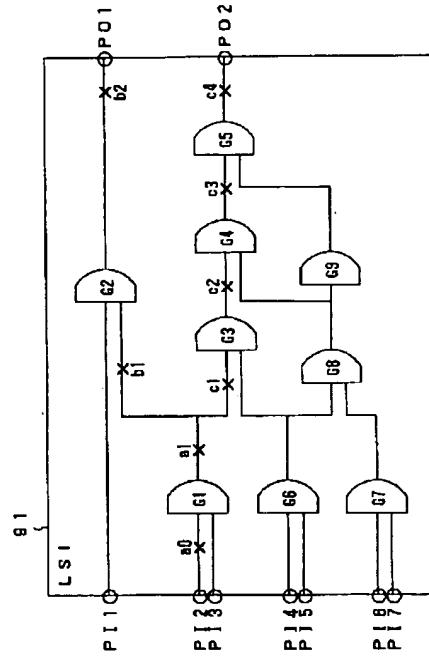
【図14】

本発明の実施例5の説明図1



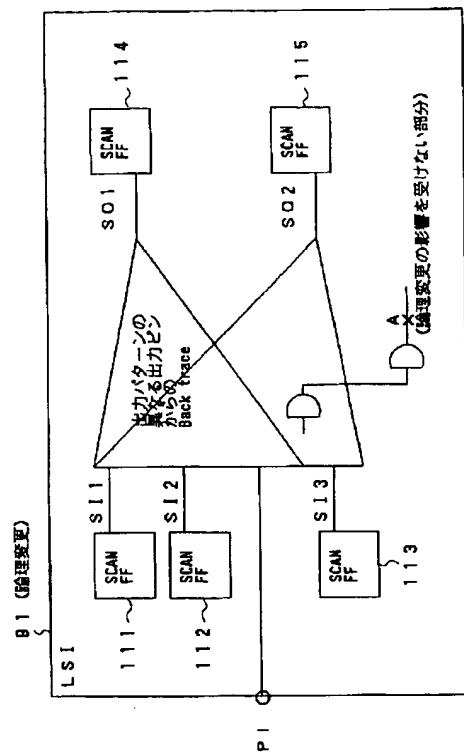
【図15】

本発明の実施例5の説明図2



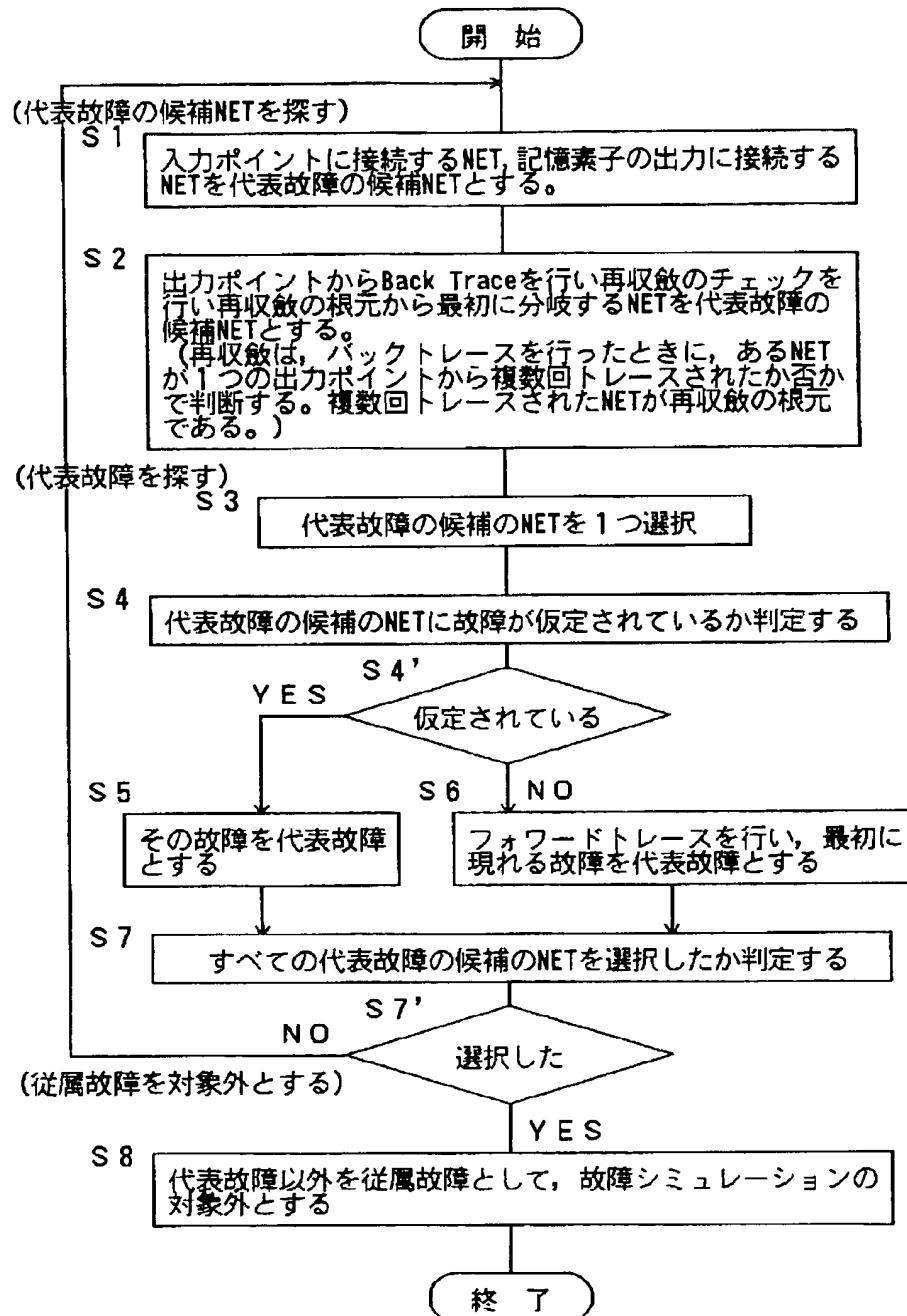
【図17】

本発明の実施例6



【図16】

本発明の実施例5のフローチャート



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.